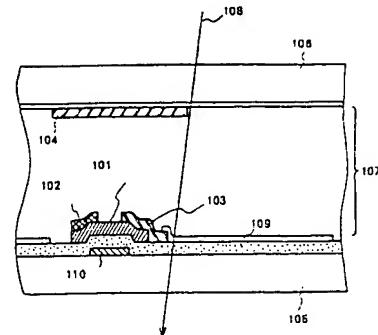


- (54) LIQUID CRYSTAL LIGHT VALVE FOR PROJECTOR TYPE DISPLAY
 (11) 4-280229 (A) (43) 6.10.1992 (19) JP
 (21) Appl. No. 3-43146 (22) 8.3.1991
 (71) NEC CORP (72) SUSUMU TSUJIKAWA(1)
 (51) Int. Cl^s. G02F1/136, G02F1/1335, H01L29/784

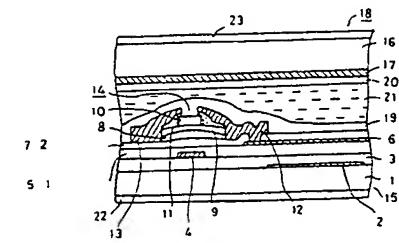
PURPOSE: To prevent the reduction of contrast by a strong incident light in a projector type display device liquid crystal light valve of active matrix type.
CONSTITUTION: Since a black matrix 104 perfectly covers not only a thin film transistor active layer but also a drain electrode 102 and a source metal electrode 103, an incident light 108 never strike the active layer by the internal reflection. Thus, the reduction of contrast can be never caused.



106: glass base plate, 107: liquid crystal, 109: picture element electrode, 110: gate electrode

- (54) ACTIVE MATRIX TYPE LIQUID CRYSTAL DISPLAY ELEMENT
 (11) 4-280230 (A) (43) 6.10.1992 (19) JP
 (21) Appl. No. 3-43301 (22) 8.3.1991
 (71) TOSHIBA CORP (72) KAICHI FUKUDA
 (51) Int. Cl^s. G02F1/136, G02F1/1343, H01L29/784

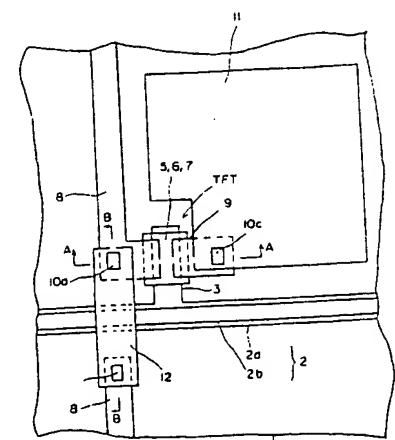
PURPOSE: To simplify the manufacturing process by forming an insulating layer and a two-layered gate insulating film from a material of the same kind.
CONSTITUTION: A transparent auxiliary capacity electrode 2 is formed on one main surface of a transparent insulating base plate 1, and an insulating layer 3 consisting of a silicon oxide film is formed as a layer-to-layer insulating film so as to cover the electrode 2. A gate electrode 4 is formed on the insulating film 3, and a first gate insulating film 5 consisting of silicone oxide is formed as the first layer of a gate insulating film so as to cover the gate electrode 4. A transparent picture element electrode 6 is formed on the first gate insulating film 5. A gate insulating film 7 consisting of a silicon oxide film and a third gate insulating film 7 consisting of a silicon nitride film are successively formed as the second and third layers of the gate insulating film so as to cover the transparent electrode 6. Then, a semiconductor film 8, an insulating film 10 consisting of a silicon nitride film, and further a semiconductor film 11 are formed on the third gate insulating film 8.



12: source electrode, 13: drain electrode, 15: passive element base plate, 16: transparent insulating base plate, 17: common electrode, 18: counter base plate

- (54) THIN FILM TRANSISTOR ARRAY SUBSTRATE AND MANUFACTURE THEREOF
 (11) 4-280231 (A) (43) 6.10.1992 (19) JP
 (21) Appl. No. 3-43342 (22) 8.3.1991
 (71) OKI ELECTRIC IND CO LTD (72) MAMORU YOSHIDA(3)
 (51) Int. Cl^s. G02F1/136, G02F1/1343, H01L27/12, H01L29/784

PURPOSE: To minimize the electric resistivity of a gate electrode wiring without complicating the manufacturing process of a TFT array substrate and improve the picture quality.
CONSTITUTION: A gate electrode 3 and the lower layer 2a of a gate electrode wiring 2 are formed on a substrate 1, an insulating film 5, an a-Si film 6, and a n-a-Si film 7 are formed on the gate electrode, and a drain electrode 8, a source electrode 9, and the upper layer 2b of the gate electrode wiring 2 are formed by film formation by the same metal and etching. Further, a passivation film 10 is formed, a contact hole is formed, and a picture element electrode 11 connected to the source electrode 9 by an ITO and a drain electrode connecting part 12 connected to the drain electrode 9 through contact holes 10a, 10b are formed. Since the upper layer is formed on the lower layer of the gate electrode wiring part in this way, the electric resistivity is lowered, and the picture quality is improved. Further, since the picture element electrode and the drain electrode connecting part can be formed in the same step, the manufacturing process is never complicated.



1: insulating base plate, 2: gate electrode wiring part, 3: contact hole

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平4-280231

(43)公開日 平成4年(1992)10月6日

(51)Int.Cl. ⁵	識別記号	序内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0	9018-2K		
	1/1343	9018-2K		
H 0 1 L 27/12	A	8728-4M		
29/784		9056-4M	H 0 1 L 29/78 3 1 1 A	審査請求 未請求 請求項の数2(全6頁)

(21)出願番号

特願平3-43342

(71)出願人

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(22)出願日

平成3年(1991)3月8日

(72)発明者

吉田 守

東京都港区虎ノ門1丁目7番12号 沖電気

工業株式会社内

小泉 真澄

東京都港区虎ノ門1丁目7番12号 沖電気

工業株式会社内

渡辺 宣朗

東京都港区虎ノ門1丁目7番12号 沖電気

工業株式会社内

(74)代理人 弁理士 前田 実

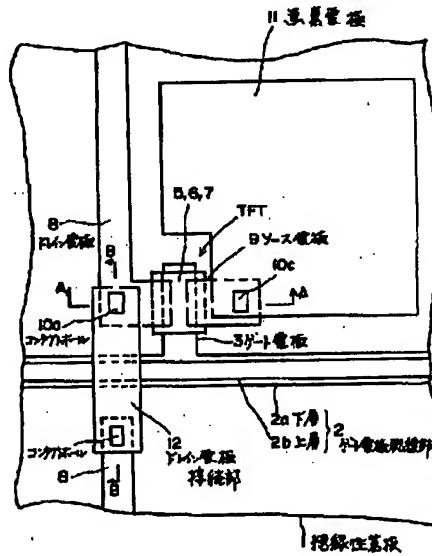
最終頁に続く

(54)【発明の名称】薄膜トランジスタアレイ基板及びその製造方法

(57)【要約】

【目的】 TFTアレイ基板の製造工程を複雑にすることなく、ゲート電極配線の電気抵抗率を小さくし、画質を向上させる。

【構成】 基板1上に、ゲート電極3及びゲート電極配線2の下層2aを形成し、ゲート電極上に絶縁膜5、a-S1膜6、n⁺a-S1膜7を形成し、同一金属の成膜及びエッチングによりドレイン電極8とソース電極9とゲート電極配線2の上層2bとを形成する。さらに、バッシペーション膜10を形成し、コンタクトホールを形成し、ITOによりソース電極9に接続された画素電極11と、コンタクトホール10aと10bとを介してドレイン電極8に接続されたドレイン電極接続部12とを形成する。このように、ゲート電極配線部の下層上に上層が設けられるので、電気抵抗率が低くなり、画質が向上する。また、画素電極とドレイン電極接続部とを同一工程で形成できるので、製造工程が複雑にならない。



【特許請求の範囲】

【請求項1】 絶縁性基板と、上記絶縁性基板上に形成されたゲート電極配線部の下層と、上記絶縁性基板上に上記下層と同じ金属により形成され、上記下層に接続されたゲート電極と、上記ゲート電極上に形成された絶縁膜と、上記絶縁膜上に形成された半導体層と、上記絶縁性基板上の上記ゲート電極配線部の間の部分に、上記ゲート電極配線部に交差する方向に延びるように形成されたドレイン電極と、上記絶縁性基板上の所定位置に上記ドレイン電極と同じ金属により形成されたソース電極と、上記ゲート電極配線部の下層に上記ドレイン電極と同じ金属により形成された上層と、上記絶縁性基板上を覆うように形成されたパッシベーション膜と、上記パッシベーション膜の上記ドレイン電極端部上と、上記ソース電極上とに形成されたコンタクトホールと、上記パッシベーション膜上に形成され、上記ソース電極に上記コンタクトホールを介して接続された画素電極と、上記パッシベーション膜上に上記画素電極と同じ金属により形成され、上記コンタクトホールを介して隣り合うドレイン電極同士を接続するドレイン電極接続部と、を有することを特徴とする薄膜トランジスタアレイ基板。

【請求項2】 絶縁性基板上に、互いに平行に延びるように複数本のゲート電極配線部の下層を形成し、これと同時に上記ゲート電極配線部の下層と同じ金属よりなるゲート電極を形成する工程と、上記ゲート電極上に絶縁膜と半導体層と順に形成する工程と、上記絶縁性基板上の上記ゲート電極配線部の間に、上記ゲート電極配線部に交差する方向に延びるドレイン電極を形成し、これと同時に上記絶縁性基板上の所定位置に上記ドレイン電極と同じ金属よりなるソース電極を形成し、これと同時に上記ゲート電極配線部の下層に上記ドレイン電極と同じ金属よりなる上層を形成する工程と、上記絶縁性基板上を覆うようにパッシベーション膜を形成する工程と、上記パッシベーション膜の上記ドレイン電極端部上と上記ソース電極上とにコンタクトホールを形成する工程と、上記パッシベーション膜上に透光性の金属膜を形成し、エッチングすることにより、上記ソース電極に上記コンタクトホールを介して接続された画素電極と、上記コンタクトホールを介して隣り合うドレイン電極同士を接続するドレイン電極接続部とを形成する工程と、を有することを特徴とする薄膜トランジスタアレイ基板の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、アクティブマトリクス駆動型の液晶ディスプレイの一方の基板となる薄膜トランジスタ(TFT)アレイ基板及びその製造方法に関するもの。

【0002】

【從来の技術】 図2は從来のTFTアレイ基板の1画素

部分を示す平面図、図3は図2のC-C線断面図、図4は図2のD-D線断面図である。

【0003】 図に示されるように、從来のTFTアレイ基板には、ガラス基板21上にTaからなるゲート電極22及びその配線部22a、この上に形成されたTa₂O₅層23及び23a、その上に形成されたSiNx膜24及び24a、その上に形成されたアモルファスシリコン(a-Si)膜25及び25a、リンドープアモルファスシリコン(n⁺a-Si)膜26及び26aが備えられている。また、ガラス基板21上には、画素電極27がマトリクス状に配列されて、さらに、画素電極27にn⁺a-Si膜26を接続するソース電極28と、n⁺a-Si膜26を接続されたドレイン電極29と、全体を覆うパッシベーション膜30とが備えられている。

【0004】

【発明が解決しようとする課題】 しかしながら、上記従来のTFTアレイ基板では、ゲート電極に用いたTaの電気抵抗率が大きいために、ゲート電極に印加されるアドレス信号のパルス波形の歪みが大きくなり、ゲート電極の開放端側でコントラストが劣化するという問題があった。

【0005】かかる問題を解消するために、ゲート電極を多層構造とすることも考えられるが、製造工程が増えるという問題があった。

【0006】そこで、本発明は上記課題を解決するためになされたものであり、その目的とするところは、製造工程を複雑にすることなく、画質を向上させることができ TFTアレイ基板及びその製造方法を提供することにある。

【0007】

【課題を解決するための手段】 本発明に係るTFTアレイ基板は、絶縁性基板と、上記絶縁性基板上に形成されたゲート電極配線部の下層と、上記絶縁性基板上に上記下層と同じ金属により形成され、上記下層に接続されたゲート電極と、上記ゲート電極上に形成された絶縁膜と、上記絶縁膜上に形成された半導体層と、上記絶縁性基板上の上記ゲート電極配線部の間の部分に、上記ゲート電極配線部に交差する方向に延びるように形成されたドレイン電極と、上記絶縁性基板上の所定位置に上記ドレイン電極と同じ金属により形成されたソース電極と、上記ゲート電極配線部の下層に上記ドレイン電極と同じ金属により形成された上層と、上記絶縁性基板上を覆うように形成されたパッシベーション膜と、上記パッシベーション膜の上記ドレイン電極端部上と、上記ソース電極上とに形成されたコンタクトホールと、上記パッシベーション膜上に形成され、上記ソース電極に上記コンタクトホールを介して接続された画素電極と、上記コンタクトホールを介して隣り合うドレイン電極同士を接続するドレイン電極接続部とを形成する工程と、を有され、上記コンタクトホールを介して隣り合うドレイン

3

電極同士を接続するドレン電極接続部とを有することを特徴としている。

【0008】また、本発明に係るTFTアレイ基板の製造方法は、絶縁性基板上に、互いに平行に延びるように複数本のゲート電極配線部の下層を形成し、これと同時に上記ゲート電極配線部の下層と同じ金属よりなるゲート電極を形成する工程と、上記ゲート電極上に絶縁膜と半導体層と順に形成する工程と、上記絶縁性基板上の上記ゲート電極配線部の間に、上記ゲート電極配線部に交差する方向に延びるドレン電極を形成し、これと同時に上記絶縁性基板上の所定位置に上記ドレン電極と同じ金属よりなるソース電極を形成し、これと同時に上記ゲート電極配線部の下層上に上記ドレン電極と同じ金属よりなる上層を形成する工程と、上記絶縁性基板上を覆うようにパッシベーション膜を形成する工程と、上記パッシベーション膜の上記ドレン電極端部上と上記ソース電極上とにコンタクトホールを形成する工程と、上記パッシベーション膜上に透光性の金属膜を形成し、エッチングすることにより、上記ソース電極に上記コンタクトホールを介して接続された画素電極と、上記コンタクトホールを介して隣り合うドレン電極同士を接続するドレン電極接続部とを形成する工程とを有することを特徴としている。

【0009】

【作用】本発明に係るTFTアレイ基板またはその製造方法によれば、ゲート電極配線部の下層上にドレン電極と同じ金属により形成された上層が設けられるので、ゲート電極配線の電気抵抗率が低くなり、画質の向上が図れる。

【0010】また、本発明に係るTFTアレイ基板またはその製造方法によれば、ドレン電極とゲート電極配線部の上層とを同一工程で形成でき、画素電極とコンタクトホールを介して隣り合うドレン電極同士を接続するドレン電極接続部とを同一工程で形成できるので、製造が簡単になる。

【0011】

【実施例】図1は、本発明に係るTFTアレイ基板の一実施例の1画素部分を示す平面図、図5は図1のA-A線断面図、図6は図1のB-B線断面図である。

【0012】図に示されるように、本実施例のTFTアレイ基板には、ガラス等からなる透明な絶縁性基板1と、この基板1上にTa又はTaの合金により形成されたゲート電極配線部2の下層2aと、この下層2aと同じTa又はTaの合金により形成されており下層2aに接続されているゲート電極3とが備えられている。

【0013】また、本実施例には、ゲート電極3上に、Ta₂O₅よりなる第一絶縁膜4と、この絶縁膜4上に形成されたSiNxよりなる第二絶縁膜5と、半導体活性層としてのアモルファスシリコン(a-Si)膜6と、その上に形成されたリンドーブアモルファスシリコ

ン(n⁺-a-Si)膜7とが備えられている。

【0014】さらに、平行に複数本配列されているゲート電極配線部2の間には(図1では1本のゲート電極配線部2のみを示す)、このゲート電極配線部2に交差する方向に延びるように配置されておりA1からなるドレン電極8と、基板1上の所定位置にこのドレン電極8と同じA1により形成されたソース電極9とが備えられている。また、ゲート電極配線部2の下層2a上にはドレン電極8と同じA1により形成された上層2bが形成されている。

【0015】また、基板1上には、基板1上に備えられた上記構成を覆うようにパッシベーション膜10が備えられている。そして、このパッシベーション膜10の、ドレン電極8の端部上にはコンタクトホール10a及び10bが形成されており、パッシベーション膜10のソース電極9上にはコンタクトホール10cが形成されている。

【0016】さらにまた、パッシベーション膜10上には、ソース電極11にコンタクトホール10cを介して接続されたITOよりなる画素電極11と、パッシベーション膜10上に画素電極と同じITOにより形成され、コンタクトホール10aと10bとを介して隣り合うドレン電極8同士を接続するドレン電極接続部12とが備えられている。

【0017】また、上記TFTアレイ基板の製造は次のようなになされる。

【0018】先ず、ガラス等の透明絶縁性基板1上にスパッタ法によりTa膜又はTaを含む合金膜を形成し、エッチングを行ってゲート電極3とゲート電極配線2の下層2aとを形成する。

【0019】次に、TFT形成部分について、ゲート電極3の表面を陽極化してTa₂O₅よりなる第一絶縁膜4を形成する。

【0020】次に、プラズマCVD法により、SiNxよりなる第二絶縁膜5、半導体活性層としてのa-Si膜6、オーミック接合層としてのn⁺-a-Si膜7を成膜し、TFT形成部分を残すようにエッチング除去する。

【0021】次に、スパッタ法によりA1膜を形成し、エッチングするにより、ドレン電極8と、ソース電極9と、ゲート電極配線2の下層2a上の上層2bとを形成する。ここで、ドレン電極8と、ソース電極9と、上層2bとなる金属としては、チタン(Ti)、モリブデン(Mo)、クロム(Cr)、ニッケル(Ni)、NiCrや、これらの多層膜であってもよい。

【0022】次に、ソース電極9とドレン電極8との間に露出しているn⁺-a-Si層7をエッチング除去する。

【0023】次に、SiNx、SiO₂、又はこれらの積層膜からなるパッシベーション膜10を成膜し、エッ

5

チングにより、ドレイン電極8の端部上にコンタクトホール10aと10bを、ソース電極9上にコンタクトホール10cを形成する。

【0024】次に、ITOを全面に成膜し、エッティングにより、コンタクトホール10cを介してソース電極9に接続された画素電極11と、コンタクトホール10aと10bとを介してドレイン電極8に接続されたドレイン電極接続部12とを形成する。

【0025】以上に説明したように、本実施例によれば、ゲート電極配線部2の下層2a上にドレイン電極8と同じA1により形成された上層2bが設けられるので、ゲート電極配線2の電気抵抗率が低くなり、画質の向上が図れる。

【0026】また、本実施例によれば、ドレイン電極8と上層2bとを同一工程で形成でき、画素電極11とコンタクトホール10aと10bとを介して隣り合うドレイン電極8同士を接続するドレイン電極接続部12とを同一工程で形成できるので、製造工程が増えず、製造が簡単になる。

【0027】尚、上記実施例では、ドレイン電極接続部12をゲート電極配線部2と交差する部分にだけに残した場合について説明したが、本発明はこれには限定されず、ドレイン電極8上に連続的に形成してもよい。

【0028】

【発明の効果】以上説明したように、本発明のTFTアレイ基板及びその製造方法によれば、ゲート電極配線部の下層上にドレイン電極と同じ金属により形成された上層が設けられるので、ゲート電極配線の電気抵抗率が低くなり、画質の向上が図れる。

【0029】また、本発明によれば、ドレイン電極と上

10

20

30

40

50

60

70

80

90

100

110

120

130

140

150

160

170

180

190

200

210

220

230

240

250

260

270

280

290

300

310

320

330

340

350

360

370

380

390

400

410

420

430

440

450

460

470

480

490

500

510

520

530

540

550

560

570

580

590

600

610

620

630

640

650

660

670

680

690

700

710

720

730

740

750

760

770

780

790

800

810

820

830

840

850

860

870

880

890

900

910

920

930

940

950

960

970

980

990

1000

1010

1020

1030

1040

1050

1060

1070

1080

1090

1100

1110

1120

1130

1140

1150

1160

1170

1180

1190

1200

1210

1220

1230

1240

1250

1260

1270

1280

1290

1300

1310

1320

1330

1340

1350

1360

1370

1380

1390

1400

1410

1420

1430

1440

1450

1460

1470

1480

1490

1500

1510

1520

1530

1540

1550

1560

1570

1580

1590

1600

1610

1620

1630

1640

1650

1660

1670

1680

1690

1700

1710

1720

1730

1740

1750

1760

1770

1780

1790

1800

1810

1820

1830

1840

1850

1860

1870

1880

1890

1900

1910

1920

1930

1940

1950

1960

1970

1980

1990

2000

2010

2020

2030

2040

2050

2060

2070

2080

2090

2100

2110

2120

2130

2140

2150

2160

2170

2180

2190

2200

2210

2220

2230

2240

2250

2260

2270

2280

2290

2300

2310

2320

2330

2340

2350

2360

2370

2380

2390

2400

2410

2420

2430

2440

2450

2460

2470

2480

2490

2500

2510

2520

2530

2540

2550

2560

2570

2580

2590

2600

2610

2620

2630

2640

2650

2660

2670

2680

2690

2700

2710

2720

2730

2740

2750

2760

2770

2780

2790

2800

2810

2820

2830

2840

2850

2860

2870

2880

2890

2900

2910

2920

2930

2940

2950

2960

2970

2980

2990

3000

3010

3020

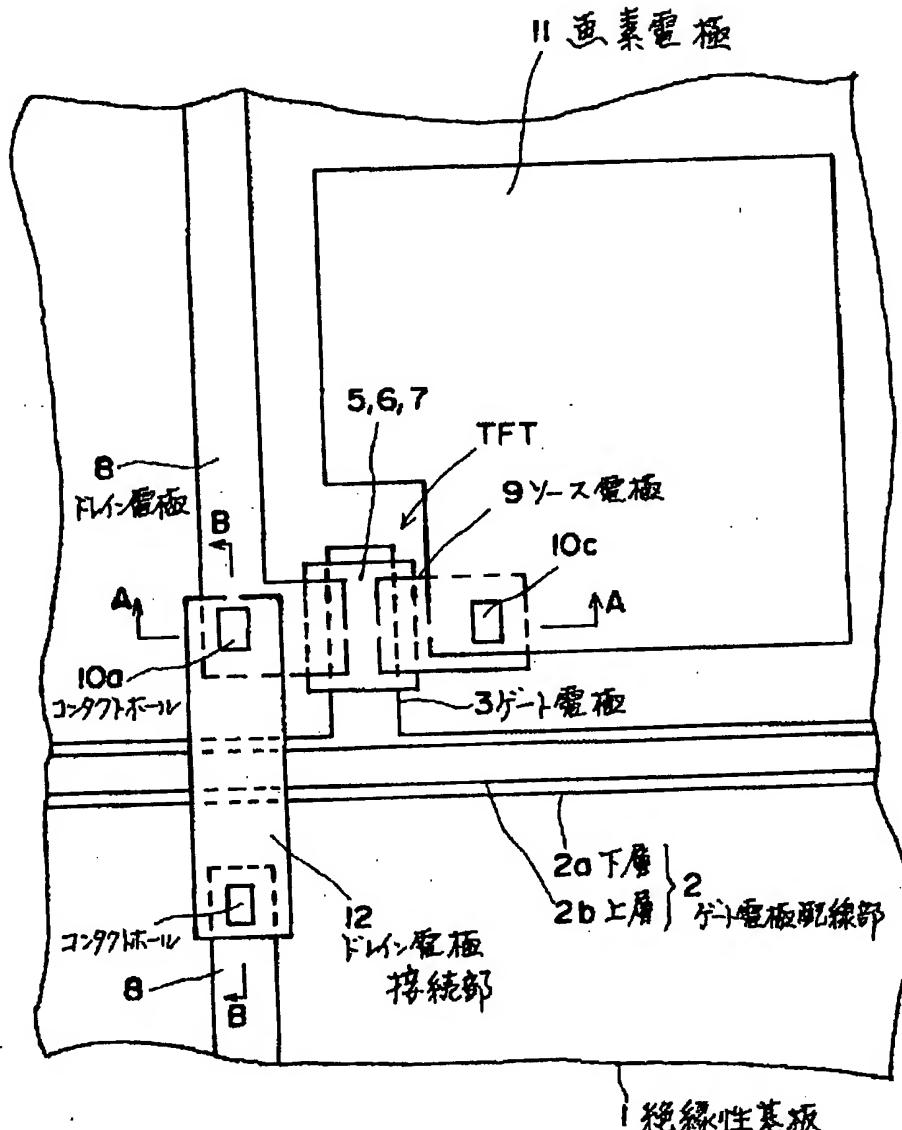
3030

3040

3050

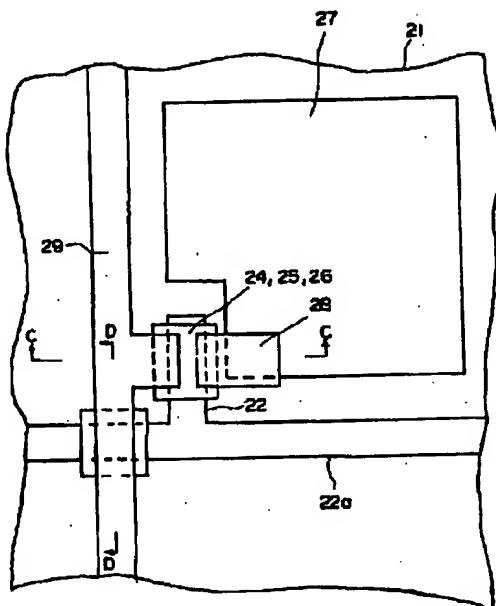
3060

【図1】



実施例の平面図

【図2】



従来例の平面図

【図5】

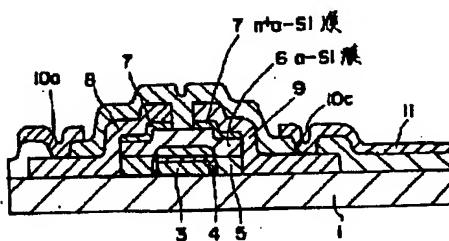


図1のA-A 線断面図

【図6】

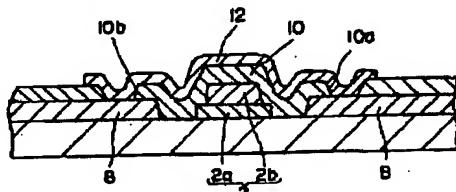


図1のB-B 線断面図

フロントページの続き

(72)発明者 滝水 マリ
東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内